

EXAMEN ORDINARIO DE ARQUITECTURAS AVANZADAS

- 1 (3 p.) Sea un procesador segmentado de 4 etapas. Este procesador es capaz de efectuar dos funciones, f y g , cuyas tablas de reserva se muestran en la figura 1.
- Suponiendo que el procesador sólo efectúe la función f , calcular el vector de colisiones, dibujar el diagrama de estados, señalar sobre el mismo el ciclo avaro y calcular la mínima latencia media.
 - Calcular las matrices de colisiones para este procesador.
 - Dibujar el diagrama de estados del procesador bifunción.

- 2 (2 p.) En un procesador segmentado de 4 etapas (lectura de instrucción, lectura de operandos, ejecución y escritura de resultado), se ejecuta el siguiente programa:

```
LOAD V, A
LOAD W, B
ADD A, B
LOAD X, C
SUB B, C
LOAD Y, D
LOAD Z, E
ADD D, E
SUB C, E
STORE E, Z
```

En este programa V, W, X, Y y Z representan direcciones de memoria y A, B, C, D y E representan registros del procesador. En el ensamblador de esta máquina el operando destino es el último. Supóngase que los accesos a memoria no necesitan ciclos adicionales.

- Señalar todas las dependencias de datos que se observen en ese programa indicando el tipo de cada una.
- Indicar qué acciones podría llevar a cabo el compilador para optimizar el tiempo de ejecución del programa

- 3 (1.5 p.) Diseñar un método de encaminamiento para las redes n -CCC.

- 4 (2 p.) Sea una memoria entrelazada con 64 módulos de 32 Mbyte cada uno que funciona con acceso S:

- Indicar el tamaño de cada uno de los campos de la dirección de memoria.
- Dibujar un esquema simplificado de esa memoria.
- ¿Cuál será la secuencia de módulos accedidos para leer un vector de 100 elementos consecutivos a partir de la dirección 0125B03EH?
- Calcular el tiempo de acceso al vector anterior suponiendo que el tiempo de acceso mayor es de $1\mu s$. y el de acceso menor, de 15ns.
- Repetir el apartado anterior suponiendo que la memoria tiene acceso C.

- 5 (1.5 p.) a) Explicar la diferencia entre los conceptos de fallo, error y avería, indicando en qué contexto se enmarca cada uno de ellos.

- Definir los conceptos de latencia de un fallo y latencia de un error.
- Explicar los diferentes niveles en los que se puede actuar para combatir los fallos.

	1	2	3	4	5	6
A	X					X
B		X				
C			X			
D				X	X	

(f)

	1	2	3	4	5
A	X		X		
B		X			X
C			X	X	
D				X	

(g)

Figura 1. Tabla de reservas para las funciones f y g del problema 1