

Figura 3.1. Registro de carga paralela de  $n$  bits.

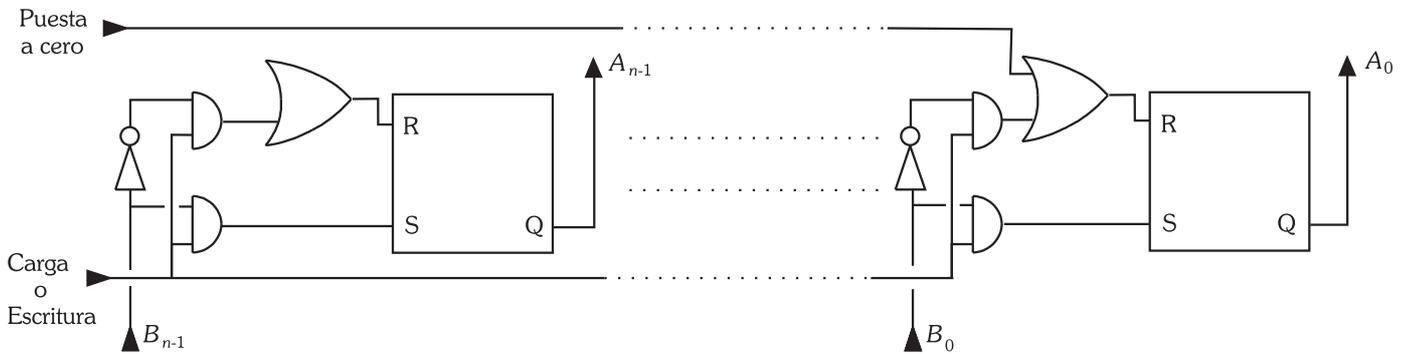


Figura 3.2. Registro con posibilidad de puesta a cero.

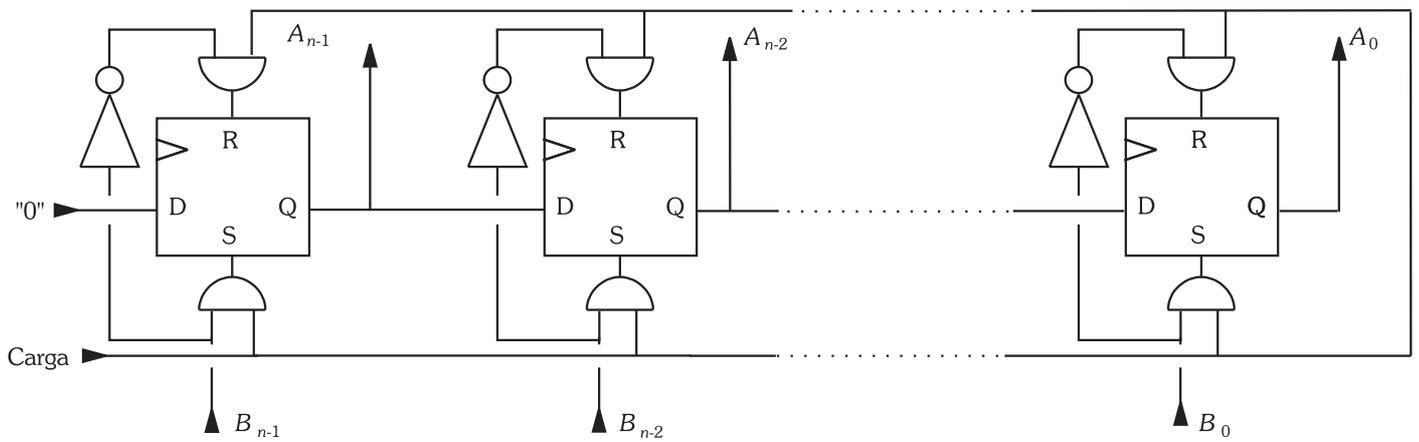


Figura 3.3. Registro de desplazamiento (lógico).

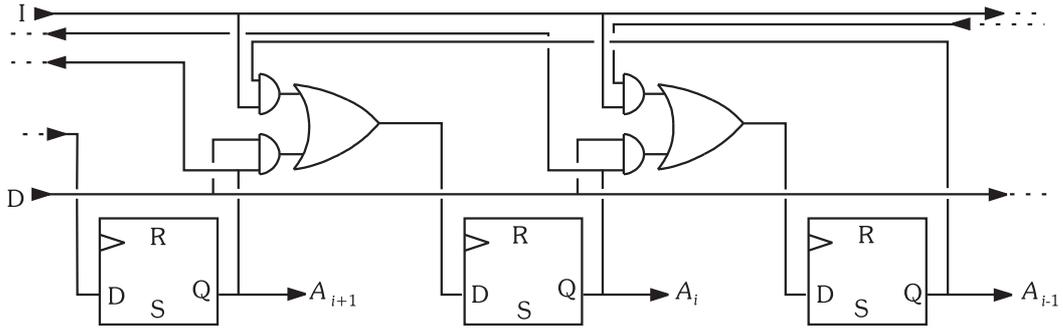


Figura 3.4. Registro de desplazamiento bidireccional.

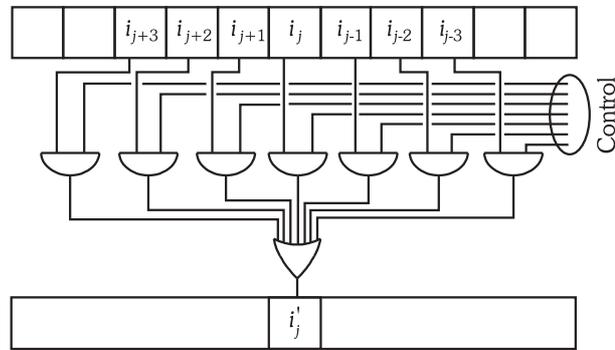


Figura 3.5. Principio de funcionamiento de un desplazador combinacional.

Tabla 3.1. Tabla de funcionamiento de un desplazador combinacional.

Número de desplazamientos Compl. a 2: izq.>0, dcha.<0	Binario natural	Aritm.		Lógico		Rotac.	
		$i'_3$	$i'_2$	$i'_3$	$i'_2$	$i'_3$	$i'_2$
0	0	$i_3$	$i_2$	$i_3$	$i_2$	$i_3$	$i_2$
1	1	$i_2$	$i_1$	$i_2$	$i_1$	$i_2$	$i_1$
2	2	$i_1$	$i_0$	$i_1$	$i_0$	$i_1$	$i_0$
3	3	$i_0$	0	$i_0$	0	$i_0$	$i_3$
-4	4	$i_3$	$i_3$	0	0	$i_2$	$i_2$
-3	5	$i_3$	$i_3$	0	0	$i_2$	$i_1$
-2	6	$i_3$	$i_3$	0	0	$i_1$	$i_0$
-1	7	$i_3$	$i_3$	0	$i_3$	$i_0$	$i_3$

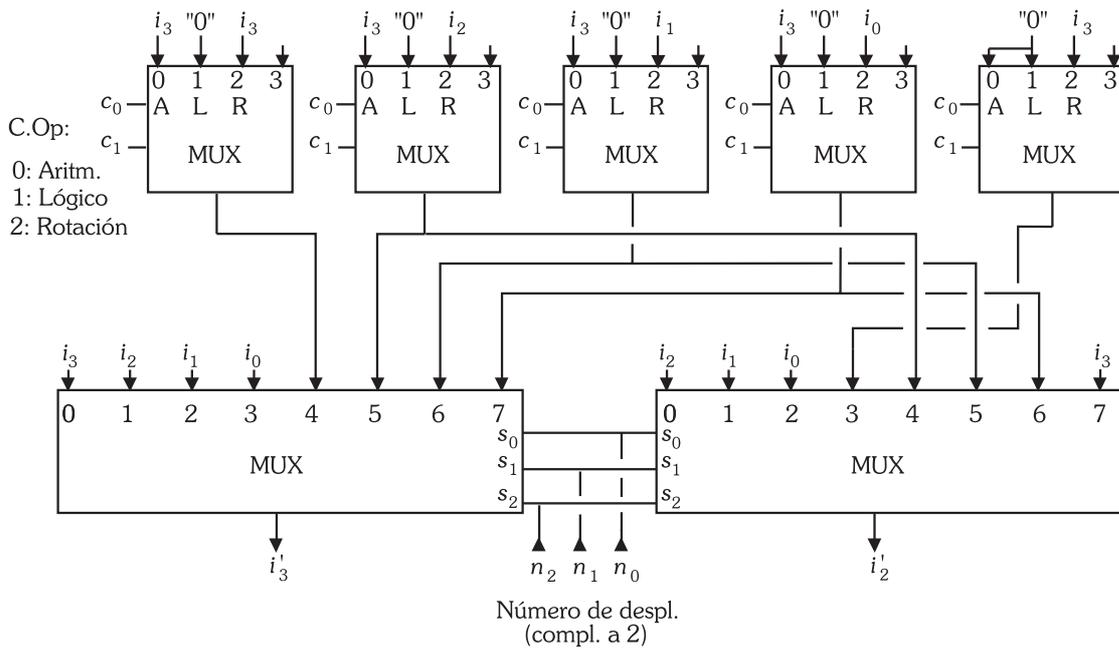


Figura 3.6. Desplazador combinacional basado en multiplexores.

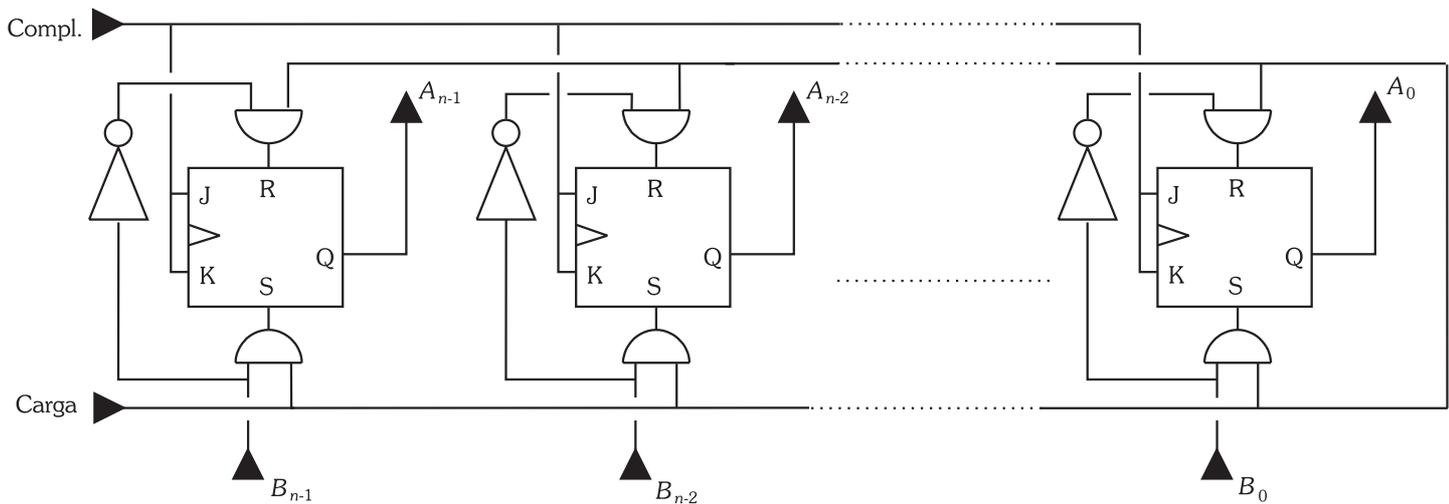
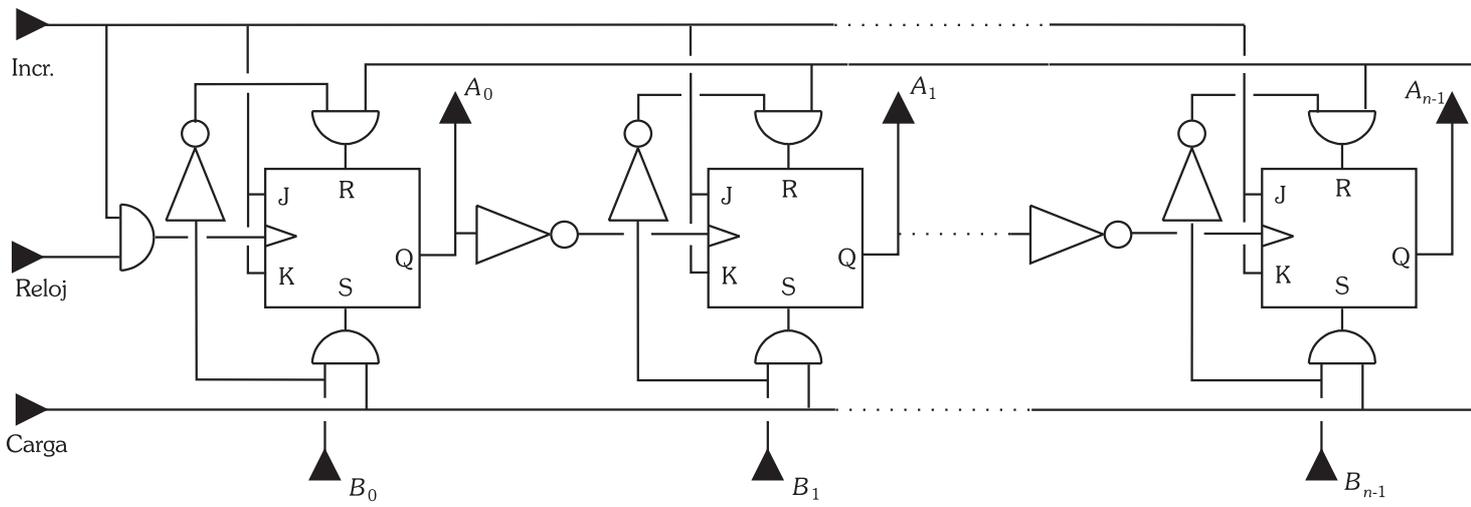
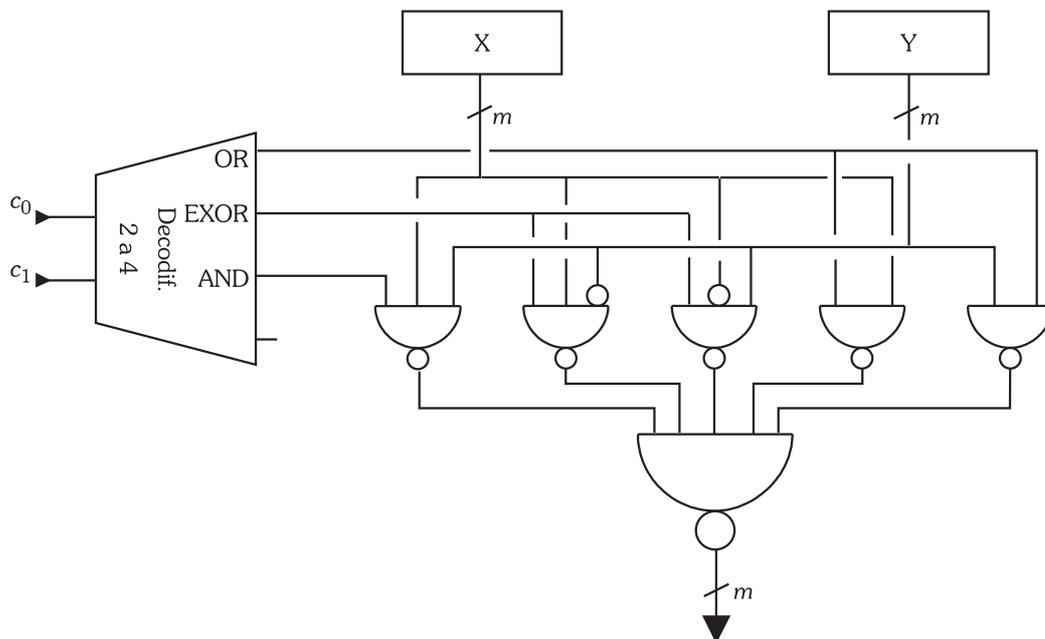


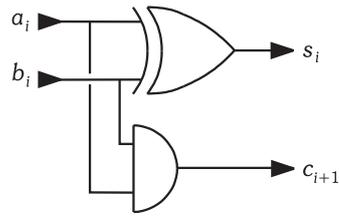
Figura 3.7. Registro para implementar la complementación.



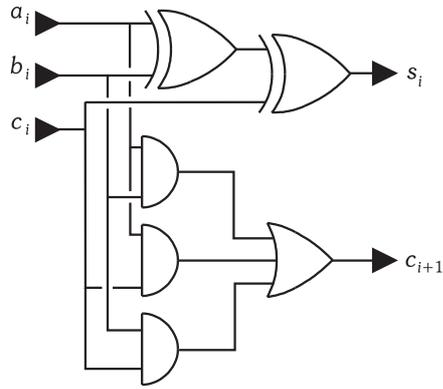
**Figura 3.8.** Registro para implementar el incremento.



**Figura 3.9.** Circuito para implementar las operaciones lógicas de dos operandos

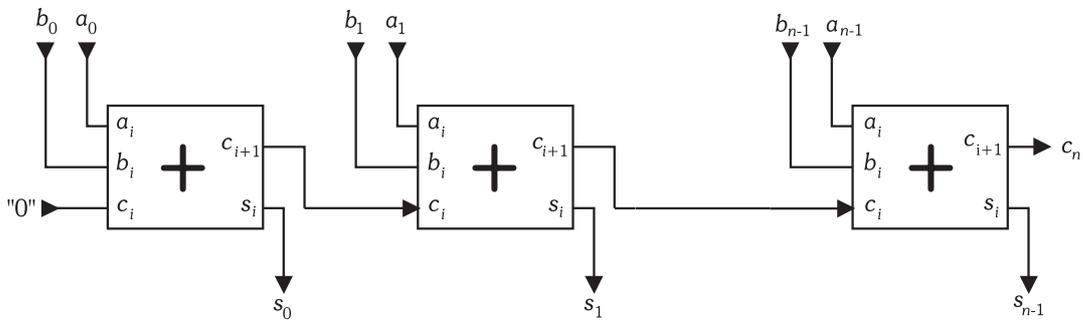


(a)

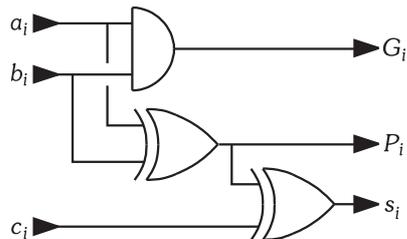


(b)

**Figura 3.10.** Sumadores elementales: (a) semisumador, (b) sumador total.



**Figura 3.11.** Sumador paralelo con propagación de llevada.



**Figura 3.12.** Célula sumadora de un sumador rápido.

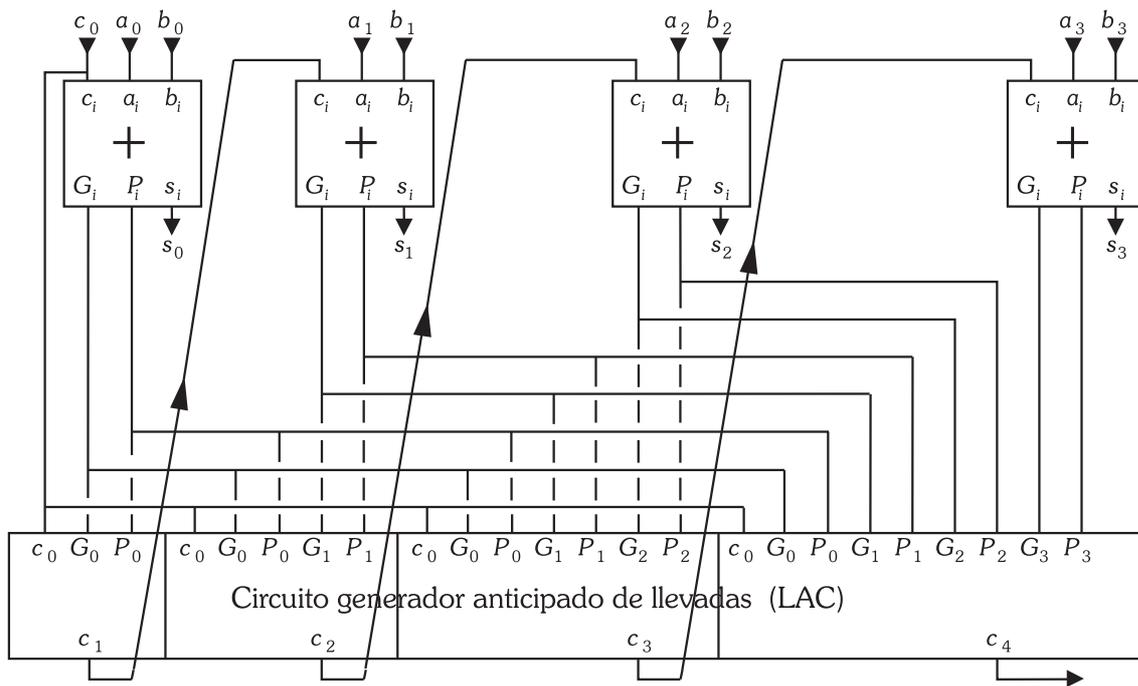


Figura 3.13. Sumador paralelo con generación anticipada de llevadas.

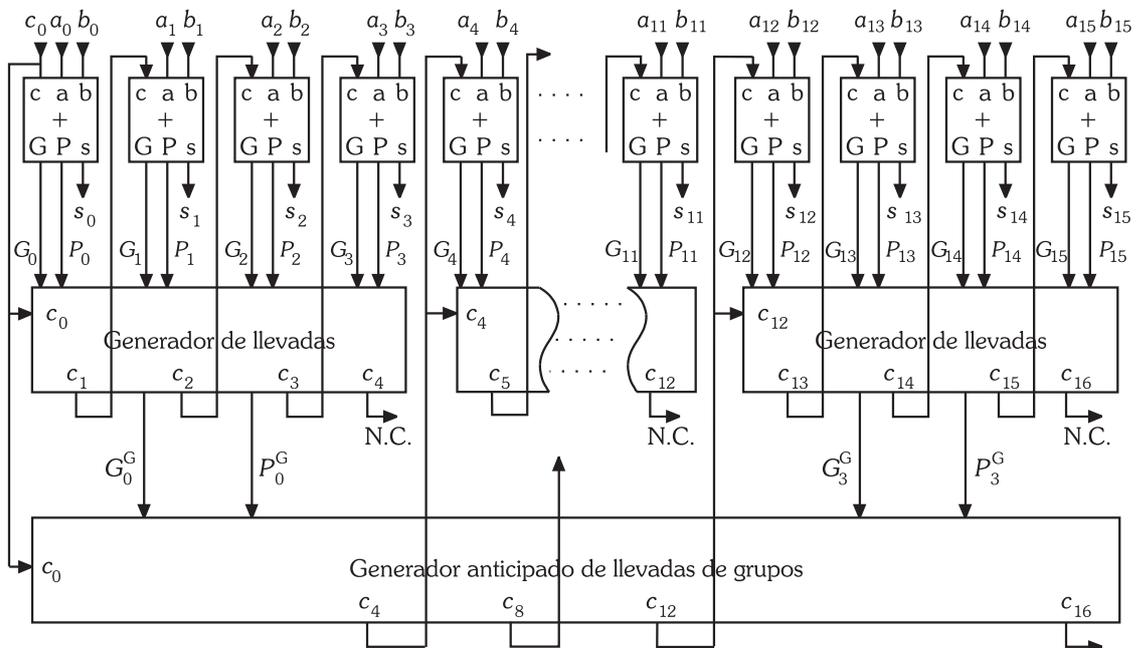


Figura 3.14. Asociación de grupos de sumadores rápidos.

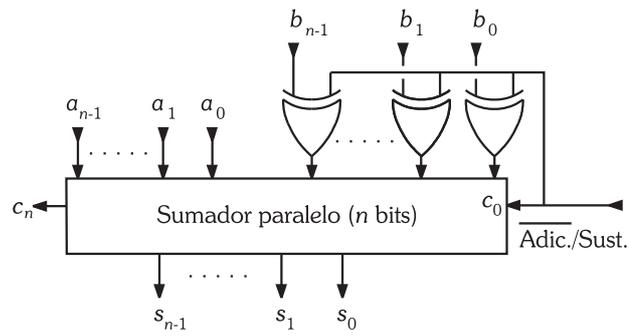


Figura 3.15. Sumador-restador paralelo de  $n$  bits.

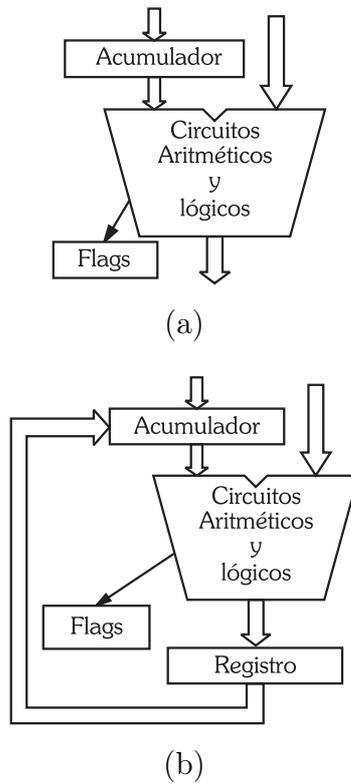


Figura 3.16. Estructuras de la ALU: (a) simple, (b) con registro de resultado.

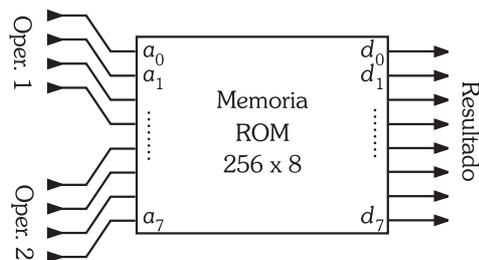


Figura 3.17. Multiplicador basado en ROM.

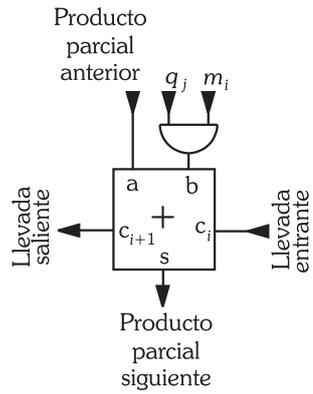


Figura 3.18. Célula para la multiplicación.

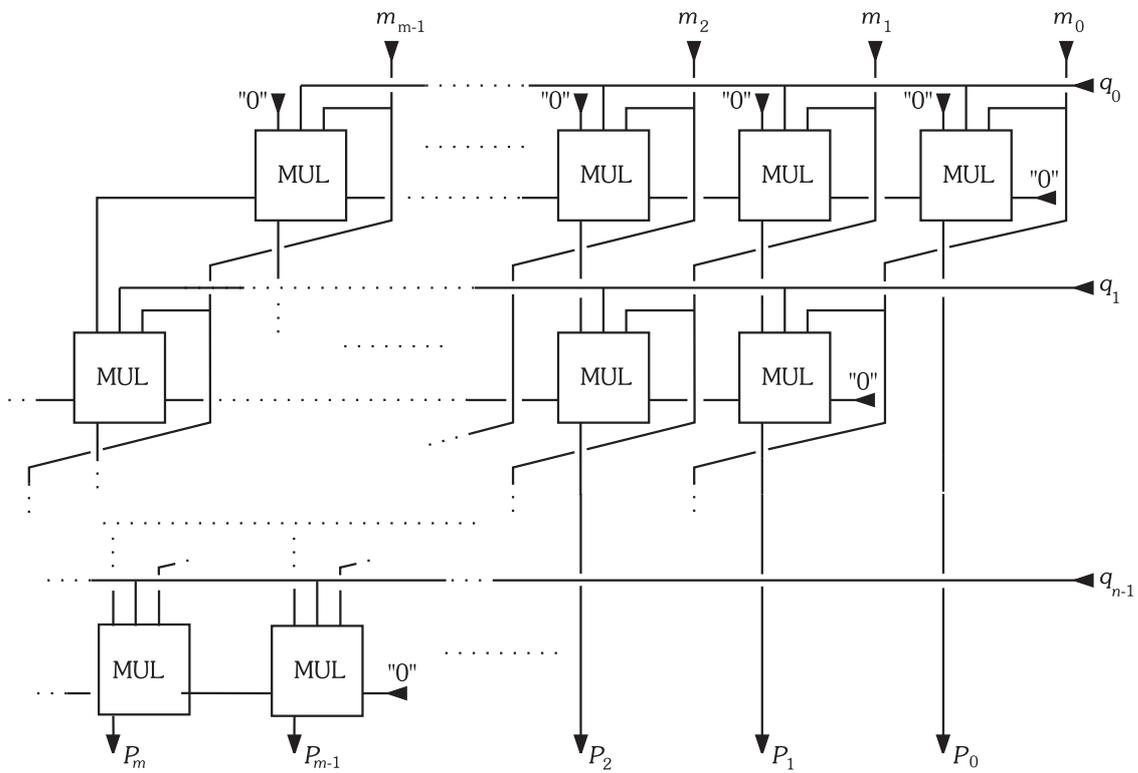


Figura 3.19. Multiplicador combinacional con estructura celular.

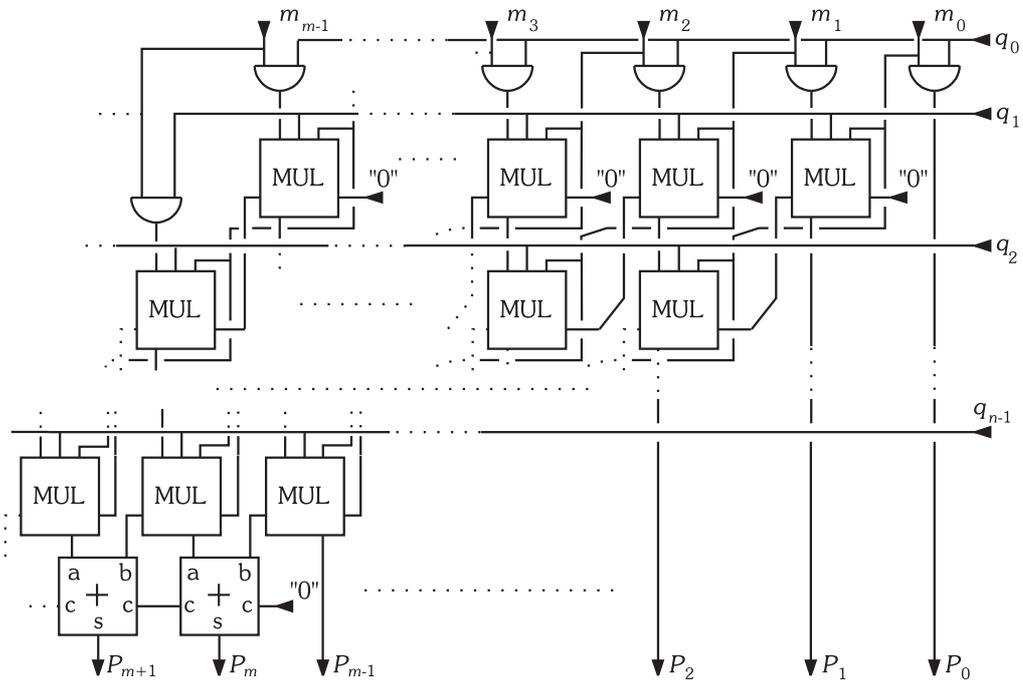


Figura 3.20. Multiplicador combinacional con estructura celular simplificado.

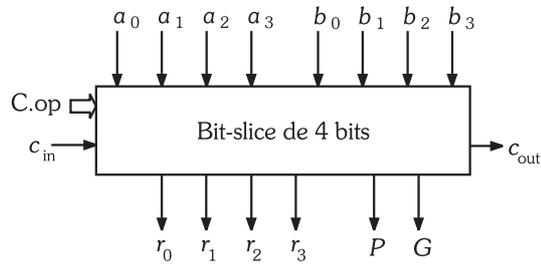


Figura 3.21. Bit-slice de 4 bits