



Ordenadores - I. T. Telecomunicación

Examen ordinario - 3 de febrero de 2.000

Notas importantes:

- No se considerarán válidas las soluciones entregadas a lápiz.
- En todas las hojas debe figurar el nombre del alumno y el grupo al que pertenece.
- Se recomienda leer *detenidamente* los enunciados..

Problema 1 (3 puntos)

Sea un procesador con una organización de dos buses y la estructura de la figura 1. Sus características fundamentales son:

- Registros de 8 bits.
- Formato de instrucciones formado por dos palabras de 8 bits cada una: la primera contiene el código de operación y la segunda una dirección.
- Sólo utiliza direccionamiento directo.
- La unidad aritmético-lógica tiene entradas A y B y salida C gobernadas por tres señales de control. Según dichas señales, el resultado obtenido es el siguiente:

000	A	100	not B
001	B	101	A + B
010	B + 1	110	A * B
011	B - 1	111	A and B

La ALU además actualiza el registro de banderas de estado (STATUS) tras cada operación. Dicho registro sólo se actualiza en este caso.

- El conjunto de instrucciones del microprocesador es el que aparece en la tabla.

Código	Instrucción	Significado
0x00	LD x	$x \rightarrow A$
0x01	ST x	$A \rightarrow [x]$
0x02	ADD x	$A + [x] \rightarrow A$
0x03	SUB x	$A - [x] \rightarrow A$
0x04	CALL x	Llamada a subrutina x
0x05	INT x	Llamada a la INT x
0x06	JMP x	Salta a x
0x07	JN x	Salta a x si N = 1

- En el caso de la instrucción INT, x representa un valor que, una vez multiplicado por 4 y sumado el contenido del registro Z, indica la dirección de la rutina de servicio. Los valores posibles de x y de Z hacen que nunca se produzca un desbordamiento.

Se pide lo siguiente:

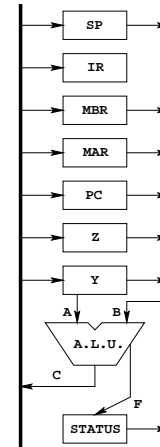


Figura 1: Arquitectura del problema 1.

- Indica las señales de control *imprescindibles* para el gobierno del procesador.
- Diseñar un formato de microinstrucción apropiado, utilizando codificación por campos. Realizar las suposiciones que se consideren oportunas.
- Escribir el fragmento del microprograma que active las señales de control necesarias para ejecutar la instrucción INT x.
- Indicar el contenido de la memoria de control que contiene el fragmento del microprograma anterior.

Problema 2 (3 puntos)

Sea un sistema compuesto por dos niveles de caché, denominados L1 y L2. Las cachés se utilizan para acelerar el acceso a una memoria de 1 Mb y con palabra de memoria de 1 byte. La caché de nivel L1 es sólo para código, tiene una capacidad total de 16 Kb, es asociativa por conjuntos de 4 vías y utiliza un tamaño de bloque de 32 bytes. La caché de nivel L2 es común para datos y código, tiene una capacidad total de 128 Kb, tiene 1024 conjuntos y utiliza un tamaño de bloque de 32 bytes.

Se pide lo siguiente:

- Indicar razonadamente en qué campos se divide la dirección y cuántos bits tiene cada campo para los dos niveles de caché (L1 y L2).
- Supongamos que todo el sistema de caché está inicialmente vacío, y que el registro contador de programa (PC) contiene la dirección 0x11220. A partir de esa posición de memoria están presentes dos instrucciones, la primera de tres bytes y la segunda de dos bytes. Dichas instrucciones son las siguientes:

```
mov ax, [0x08120]
dec ax
```



Supongamos que el procesador se dispone a ejecutar la instrucción a la que apunta su contador de programa y la siguiente. Describir detalladamente el funcionamiento del sistema de memoria para este caso, indicando lo que sucede en ambos niveles de caché a medida que progresa la ejecución.

3. Indicar qué diferencias se producirían con respecto al caso anterior si las dos instrucciones fueran:

```
mov ax, [0x0811F]  
dec ax
```

Cuestión 1 (1 punto)

Tenemos un sistema microprocesador con bus de direcciones de 24 bits y bus de datos de 16 bits. Se desea implementar una memoria principal con las siguientes características:

- Lectura/escritura: 2 Mpalabras en las direcciones más altas.
- Sólo lectura: 128 Kpalabras en las direcciones bajas.

Para ello se dispone de circuitos de memoria ROM de 64K x 8 bits y circuitos RAM de 1M x 16 bits, así como la circuitería lógica adicional que sea necesaria.

Hacer un esquema del diseño necesario para implementar dicha memoria, indicando además el mapa de memoria resultante, esto es, las direcciones de memoria que corresponden a cada chip.

Cuestión 2 (0,5 puntos)

Sabemos que en un coprocesador matemático 8087 existe una instrucción `fist destino` que permite almacenar el contenido del registro `st0` en una posición de memoria en formato de número entero. Por otra parte, en el registro de control del 8087 los bits 11 y 10 codifican cuatro posibles formas de redondeo (al más próximo, al mayor, al menor o truncamiento). ¿Puede influir de alguna manera el valor que tengan esos bits en el resultado de la ejecución de la instrucción `fist destino`? Justificar la respuesta.

Cuestión 3 (0,5 puntos)

¿Qué es y para qué se utiliza el algoritmo “round robin”? Describir su funcionamiento.

Cuestión 4 (0,5 puntos)

Dentro de los mecanismos posibles de transferencia de datos entre memoria y periféricos se distinguen dos tipos: E/S programada y DMA. Indicar las diferencias fundamentales entre ambas técnicas.

Cuestión 5 (1 punto)

Se pide lo siguiente:

- Describir el funcionamiento del algoritmo de Booth.
- Escribir un programa en ensamblador del 8086 que lo implemente. Realizar las suposiciones que se consideren necesarias.

Cuestión 6 (0,5 puntos)

Supongamos que tenemos el siguiente fragmento de código, correspondiente a un programa en ensamblador. La columna de la izquierda indica la dirección de la instrucción, y la información de la derecha es la instrucción. La instrucción `E2F8` corresponde a la instrucción `LOOP`. Indicar a qué instrucción hace referencia el salto contenido en dicha dirección.

00000005	B91000
00000008	58
00000009	BB[0000]
0000000C	8907
0000000E	E2F8
00000010	B8004C
00000013	CD21