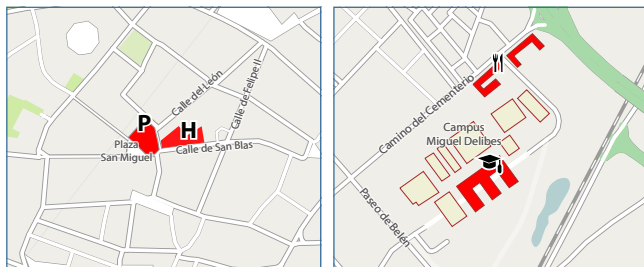
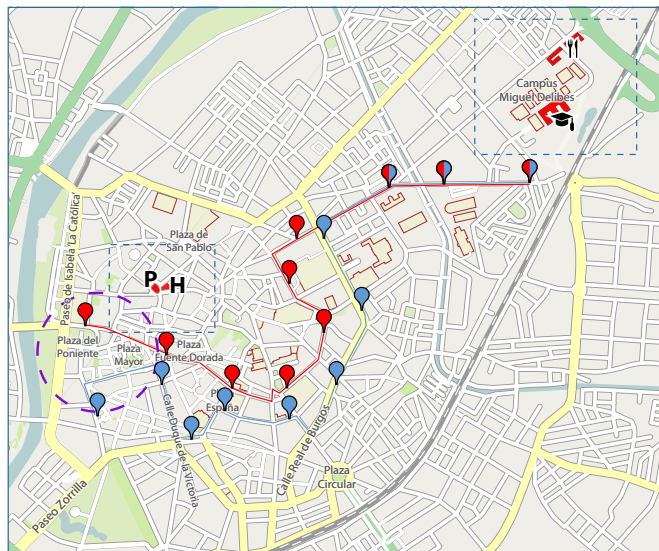


PLANO



Leyenda

- P** Plaza San Miguel (Salida Cena de gala en Mucientes).
- H** Hotel Olid Meliá.
- Recorrido Autobus Urbano nº 8.
- Parquesol - Huerta del Rey - Fuente Dorada - Belén.
- Belén - Pza. Mayor - Huerta del Rey - Parquesol.
- E.T.S. Ingeniería Informática.
- Comedor de los Apartamentos Cardenal Mendoza.
- Casco Histórico.



Red de Computación de Altas Prestaciones sobre
Arquitecturas Paralelas Heterogéneas
www.capap-h.org

Organiza:



Con la colaboración de :



Universidad de Valladolid



III Escuela de Invierno

Valladolid, 26 y 27 de enero de 2012

E.T.S. Ingeniería Informática, Universidad de Valladolid

Programa

PRESENTACIÓN

Uno de los grandes retos que se plantean en el ámbito de la computación paralela es la utilización conjunta de arquitecturas heterogéneas. La Red CAPAP-H tiene por objetivo facilitar el intercambio y la transferencia de conocimientos en este ámbito entre todos sus miembros. La Escuela de Invierno organizada con el apoyo de la Red busca fomentar este intercambio.

ACTIVIDADES PREVISTAS

Hora	Miércoles	Jueves	Viernes
9:00 a 9:30		Registro de participantes y entrega de documentación	Presentación Teide 1.0
9:30 a 10:00		Presentación del curso	
10:00 a 11:30		BSC en el Salón de Grados	TBB en el Salón de Grados
11:30 a 12:00		Coffee break	Coffee break
12:00 a 13:30		BSC en el laboratorio 1L018	TBB en el laboratorio 1L018
13:30 a 15.30		Comida en "los Apartamentos"	Comida en "los Apartamentos"
15.30 a 18:00		BSC en el laboratorio 1L018	TBB en el laboratorio 1L018 Clausura del Curso
18:00 a 19:00		Reunión de la red, Salón de Grados	
20:30 en adelante	Bienvenida a los asistentes, Hall del Hotel Olid Meliá	Cena de gala en Mucientes - Auto-buses en la Plaza de San Miguel	

CURSOS IMPARTIDOS

Introducción a las herramientas de análisis Paraver y Dimemas

Paraver y Dimemas (www.bsc.es/paraver) forman parte de CEP-BA-Tools, un proyecto open-source de herramientas de análisis de rendimiento desarrollado en el BSC. Paraver es un analizador basado en trazas con una gran flexibilidad que permite al usuario plantear casi cualquier pregunta cuya respuesta este en los datos de la traza. Dimemas es un simulador para la predicción de aplicaciones de paso de mensajes en una arquitectura configurable que permite analizar diferentes escenarios y evaluar que factores tienen mas impacto en la ejecución de una aplicación. El curso introducirá las herramientas presentando ejemplos de análisis que ilustran su potencial. Una gran parte de la jornada estará dedicada a demostraciones y sesiones practicas para familiarizarse con las herramientas.

Judit Giménez es Licenciada en Informática por la UPC (1989). Inicialmente trabajó en el desarrollo y soporte de sistemas paralelos basados en transputer. Ha participado en varias iniciativas para promover el uso del paralelismo dentro de las PYMES. Desde hace

más de 10 años es la responsable del desarrollo y la distribución de las herramientas de análisis, inicialmente como parte de CEPBA-UPC y en la actualidad desde el BSC.

Harald Servat cursó sus estudios de Ingeniero Superior en Informática en la Facultat d'Informàtica de Barcelona (UPC) y obtuvo el título en 2003. Trabaja en el Barcelona Supercomputing Center desde 2005 donde es el responsable de la parte de instrumentación de las herramientas de rendimiento.

Presentación Teide 1.0

El superordenador con más capacidad de cómputo de España estará en junio del 2012 en Tenerife, una máquina que, con una capacidad de cómputo de 1.0 petaflops, superará a los dos ordenadores ubicados en el Centro Nacional de Supercomputación de Barcelona, con 183 y 94 teraflops, respectivamente. Con un coste de ocho millones de euros, tecnología Intel, 3.120 microprocesadores y con un total de 24.960 núcleos y 30 bastidores, el superordenador TEIDE 1.0 se ubicará en el Instituto Tecnológico y de Energías Renovables (ITER), concretamente en su centro de proceso de datos del NAP (Neutral Access Point).

Introducción a la librería Thread Building Blocks (TBB)

La librería Threading Building Blocks (TBB) permite explotar de forma productiva un sistema multicore sin necesidad de ser un experto en programación multithread. De forma incremental, este curso aborda los conceptos más importantes, ejemplos de uso, algunos detalles de implementación, así como recomendaciones basadas en nuestra experiencia personal con TBB.

La parte teórica arranca con una introducción a TBB, los conceptos básicos (task, work-stealing), instalación y modos de uso. A continuación se describen las principales clases de la librería (parallel_for, parallel_reduce, parallel_do, pipeline, etc). Algo más avanzado es el uso de containers, locks, atomics, las plantillas para flow graphs, reserva de memoria y excepciones. También se ilustrará cómo programar directamente con tareas así como el funcionamiento interno del planificador y de algunas plantillas como el parallel_for y el pipeline. Por último se comentarán algunas recetas para programar patrones paralelos comunes y se resumirán los resultados de investigación más relevantes relacionados con TBB. La parte práctica comprende la realización de tutoriales guiados paso a paso, demostraciones y realización de ejercicios en los que habrá que paralelizar distintos algoritmos partiendo de la versión secuencial.

Rafael Asenjo Plaza es Doctor Ingeniero de Telecomunicación (1997) y Profesor Titular de Universidad en el Departamento de Arquitectura de Computadores de la Universidad de Málaga (2001). Lidera un equipo (Parallel programming models and compilers), que trabaja en los campos de nuevos lenguajes emergentes y librerías paralelas, aumento de la productividad, planificación y compilación para arquitecturas de altas prestaciones. Empezó a trabajar en TBB en el 2008 durante una estancia de investigación en el IBM T.J. Watson Research Center. Más recientemente, durante una estancia de investigación en Cray Inc. en verano de 2011, ha contribuido en la incorporación al lenguaje paralelo Chapel de algunos de los conceptos de planificación usados en TBB.

M.^a Ángeles González Navarro recibió el título de Doctora Ingeniero de Telecomunicación de la Universidad de Málaga en abril de 2000. Actualmente es Profesora Titular a tiempo completo del Departamento de Arquitectura de Computadores de la misma universidad. Forma parte del grupo "Parallel programming models and compilers", donde dirige un proyecto de investigación cuyo objetivo fundamental es explorar, para las emergentes arquitecturas many-core heterogéneas, nuevas técnicas de partición y balanceo dinámico del trabajo, en particular para el modelo de programación basado en tareas, y en el contexto de librerías de paralelización como TBB y lenguajes paralelos multiresolución como Chapel. Ha publicado más de 40 papers en congresos y revistas internacionales y co-dirigido 3 tesis doctorales en temas relacionados con técnicas de compilación en el contexto de la paralelización automática, así como estrategias de distribución de la carga en sistemas distribuidos.